

Family list**6** family members for: **JP56091277**

Derived from 3 applications

1 LUQUID CRYSTAL DISPLAY PANEL**Inventor:****EC:** G02F1/1343A8; G02F1/1362; (+3)**Applicant:** CITIZEN WATCH CO LTD**IPC:** *G02F1/133; G02F1/1343; G02F1/136* (+9)**Publication info:** **GB2069213 A** - 1981-08-19**GB2069213 B** - 1983-08-17**2 LIQUIDCRYSTAL DISPLAY PANEL****Inventor:** TOGASHI SEIGO**Applicant:** CITIZEN WATCH CO LTD**EC:** G02F1/1343A8; G02F1/1362; (+3)**IPC:** *G02F1/133; G02F1/1343; G02F1/136* (+1)**Publication info:** **JP1473462C C** - 1988-12-27**JP56091277 A** - 1981-07-24**JP63021907B B** - 1988-05-10**3 Liquid crystal display panel****Inventor:** TOGASHI SEIGO**Applicant:** CITIZEN WATCH CO LTD**EC:** G02F1/1343A8; G02F1/1362; (+3)**IPC:** *G02F1/133; G02F1/1343; G02F1/136* (+8)**Publication info:** **US4345249 A** - 1982-08-17Data supplied from the **esp@cenet** database - Worldwide

JAPANESE PATENT PUBLICATION

Publication No.: Sho 63-21907
Publication Date: May 10, 1988
Laid-open No.: Sho 56-91277
Laid-open Date: July 24, 1981
Application No.: Sho 54-167542
Filing Date: December 25, 1979
Applicant: CITIZEN WATCH CO., LTD.

Title of the Invention: LIQUID CRYSTAL DISPLAY PANEL

Scope of Claims

1. A liquid crystal display panel of a switching element built-in type, characterized by comprising: a plurality of row electrodes and column electrodes provided on a surface of a panel substrate so as to be orthogonal to each other; switching elements provided in a matrix so as to correspond to respective crossing points of the row electrodes and the column electrodes; display electrodes to which a driving voltage is applied via the switching elements; and liquid crystal display elements driven with a voltage applied across the display electrodes and reference electrodes, interposed between a pair of panel substrates, wherein the display electrodes and the reference electrodes are both provided on a surface of one of the pair of panel substrates as comb-shaped electrodes interlocked with each other, and the liquid crystal display elements are driven with an electric field having a component parallel to the surface of the panel substrates.
2. A liquid crystal display panel according to claim 1, characterized in that one of the row electrode and the column electrode functions as the reference electrode.

Detailed Description of the Invention

The present invention relates to an improvement of a liquid crystal display panel with built-in switching elements, in which switching elements are provided on the panel. More specifically, the present invention relates to a substantial improvement of power consumption, a switching speed, and productivity by devising a method for applying a voltage to liquid crystal.

Liquid crystal display panels have characteristics such as a low power and a low voltage, which cannot be achieved in other display apparatuses. Because of this, they have been widely used, mainly in portable equipment such as a calculator and a watch. However, since display characteristics do not have steep threshold characteristics with respect to a voltage, liquid crystal display panels are not suitable for high-division multiplex driving. In order to realize high-division multiplex driving, a method for arranging switching elements on a display element basis (switching element built-in method) has been proposed (see B.J.Lechner et al., Proc. IEEE vol. 59, Nov. 1971, pp. 1566-1579). The switching element built-in method is an excellent method in which, in principle, crosstalk does not occur even in any high-division multiplex driving.

However, there are actually some problems, so that the above-mentioned method has not been put into practical use, utilizing original excellent characteristics. Examples of the problems of a liquid crystal panel using the conventional switching built-in method include power consumption, interconnection, and productivity. According to the present invention, a direction in which a voltage is applied to liquid crystal is changed from a direction vertical to a panel flat surface as in the prior art to a direction containing a component in a parallel direction, whereby detrimental parasitic capacitance is reduced to solve the conventional problems.

Prior to the description of the present invention, a liquid crystal display panel using a conventional switching built-in method will be described. FIG. 1 illustrates a liquid crystal panel. Reference numerals 1 and 2 denote substrates, and 3 denotes a liquid crystal layer. A reference electrode Z is formed on the first substrate 1, and a layer 5 including row electrodes, column electrodes, switching elements, display electrodes, and the like is formed on the second substrate 2. FIG. 2 shows an equivalent circuit in a display portion. X(X₁-X_n) represent column electrodes, and Y(Y₁-Y_m) represent row electrodes. Switching elements S are disposed at regions corresponding to crossing points between the row electrodes and the column electrodes. Each liquid crystal display element LC is connected to the switching element S and the display electrode A, and the other end of the liquid crystal display element LC is connected to the reference electrode Z.

FIG. 4 shows an exemplary arrangement of each element on one substrate 2 in one unit element corresponding the crossing point between the row electrode Y_i and the column electrode X_j. A region

surrounded by the row electrodes Y_1, Y_{r1} and the column electrodes X_1, X_{c1} corresponds to one unit element, and a switching element S_1 is connected to the row electrode Y_1 , the column electrode X_1 , and a display electrode A_1 . Over the entire surface of the other substrate, the reference electrode Z is formed, and a liquid crystal layer corresponding to a shaded portion in FIG. 4 interposed between the display electrode A_1 and the reference electrode Z constitutes a liquid crystal display element LC_1 .

FIG. 3 is a block diagram showing an entire liquid crystal apparatus including a display panel.

Reference numeral 6 denotes a row electrode driving circuit for supplying a line-sequential scanning signal to the row electrodes Y_1 to Y_r , 7 denotes a column electrode driving circuit for applying a display signal to the row electrodes X_1 to X_n based on display information input through a display information processing circuit 8, and 9 denotes a clock circuit for supplying various clock signals to each circuit. The row electrodes Y_1 to Y_r are sequentially selected by a scanning signal. Switching elements connected to the selected row electrode are brought into conduction, and at this time, a display signal is written in a liquid crystal display element via the display electrode A . While another row is selected, the switching elements are brought out of conduction, and a written voltage is held. In this manner, according to the switching element built-in method, display without any crosstalk can be conducted.

One of the serious drawbacks in the above-mentioned conventional example is parasitic capacitance caused by a conventional display panel structure.

FIG. 5 is a cross-sectional view of a conventional display panel. In the conventional example, the reference electrode Z is formed on one substrate 1, and a voltage is applied to the liquid crystal element LC in a region interposed between the reference electrode Z and the display electrode A . The problem of this panel lies in that the row electrodes Y and the column electrodes X connected to the switching elements S , for supplying a scanning signal and a display signal, respectively, are necessarily opposed to the reference electrode Z , which causes parasitic capacitance C_{Yz}, C_{Xz} . In a liquid crystal display panel using no switching elements, it is possible to arrange electrodes on both substrates so as not to be opposed to each other except for regions of liquid crystal display elements. However, according to the switching element built-in method, row electrodes and column electrodes are arranged on one substrate in a grid shape, and a reference electrode is formed over the entire surface of the other substrate. Therefore, parasitic capacitance such as

C_{vz} and C_{yz} cannot be avoided.

Parasitic capacitance C_{vz} and C_{yz} has a serious effect on power consumption. As power consumption on a display panel, first, energy for driving liquid crystal display elements is required. In the case of a field-effect liquid crystal display, each display element I.C is electrically approximated to capacitance C_e . Thus, energy for charging/discharging C_e corresponds to power consumption W_{desp} required for display. However, power consumption for driving a conventional display panel increases to tens to hundreds of times of W_{desp} . This is caused by parasitic capacitance C_{vz} and C_{yz} . Here, it is assumed that each width of a row electrode and a column electrode is w , each number of row electrodes and column electrodes is n , an area of a display portion is $W \times W$, a liquid crystal layer thickness is d , and a dielectric constant of liquid crystal is ϵ . The capacitance C_e of each liquid crystal display element becomes about $\epsilon (W/n \times w)^2/d$. The parasitic capacitance C_{vz} and C_{yz} per column electrode and row electrode becomes about $\epsilon \cdot W \cdot w / d$. In order to charge/discharge C_e , the parasitic capacitance C_{vz} of column electrodes needs to be charged/discharged. $C_{\text{vz}}/C_e \approx W \cdot w / (W/n \cdot w)^2$ becomes about 156, for example, when assuming that $W \approx 50$ mm, $n \approx 500$, and $w \approx 20 \mu\text{m}$, and it becomes about 62 even when an electrode width w is assumed to be $10 \mu\text{m}$. Even at this dimension, the power consumed by C_{vz} becomes 156 or 62 times that assumed by C_e . The influence on the row electrodes Y_1 to Y_n by the parasitic capacitance C_{vz} is not so serious as C_{vz} . This because the number of switching of a scanning signal applied to the row electrodes is small, so that the number of charge/discharge thereof is also small. However, in the case where the row electrodes Y_1 to Y_n are connected to the gates of the switching elements, and the switching element is made of a thin film element using CdSe or a-Si, a gate voltage V_g is much higher than a display signal voltage, so that the influence of $\propto C_{\text{vz}}$ and V_g^2 on power consumption is not negligible. As described above, the power consumed by parasitic capacitance C_{vz} and C_{yz} becomes tens to hundreds of times that actually required for display.

The parasitic capacitance C_{vz} and C_{yz} largely influences a response speed required by a peripheral circuit. In the case of charging/discharging capacitance C via a switching element, as a charge/discharge time T , around a reciprocal $(R_{\text{on}} \cdot C)^{-1}$ of a product of the ON-resistance R_{on} of the switching element and the capacitance C is required. As described above, $C_{\text{vz}}/C_e \approx 100$; therefore, in order to drive the device for the

same charge/discharge time, R_{on} needs to be about 1/100 compared with the case where there is no parasitic capacitance C_{XZ} . In the case of forming a peripheral circuit using an LSI circuit, in order to prescribe R_{on} to be 1/100, a transistor having an area that is about 100 times larger is required. There arises a problem in terms of a circuit area or power consumption.

On the other hand, according to the switching element built-in method, in most cases, there are hundreds of row electrodes and column electrodes. In this case, in order to alleviate difficulty in interconnection between the display panel and the peripheral circuit, a part of the peripheral circuit is formed on the display panel so as to decrease the number of interconnections. In such a peripheral circuit, a method is used for dividing the column electrodes by inputting a display signal supplied to a plurality of column electrodes through one interconnection, followed by conducting serial/parallel conversion, and in order to decrease the interconnection to 1/a, a circuit responding within a period that is shorter by 1/a is required. Assuming that $W = 50 \text{ mm}$, $n = 500$, $w = 20 \text{ mm}$, $\epsilon = 10\epsilon_0$, $d = 10 \mu\text{m}$, frame frequency = 50 Hz, and $a = 10$, $C_b \approx 0.08 \mu\text{F}$, $C_{xy} \approx C_{yz} \approx 8 \text{ pF}$, and a required switching time is about 4 msec. Even in the case where there is no parasitic capacitance C_{XZ} , $R_{on} < 8 \times 10^7 \Omega$. Since there is parasitic capacitance, $R_{on} < 5 \times 10^5 \Omega$ is required. In view of variations in production, further margin should be considered. In the case of using a thin film element made of CdSE, a-Si, Poly-Si, or the like as a switching element on a display panel, carrier mobility in a thin film semiconductor is low, so that it is very difficult to decrease R_{on} . It may be possible to prescribe R_{on} to be $10^7 \Omega$; however, it is difficult to prescribe it to be $10^5 \Omega$. As described above, due to the presence of parasitic capacitance, it is very difficult to form a peripheral circuit on a display panel.

According to the present invention, a voltage vertical to a panel flat surface is not applied to liquid crystal display elements through electrodes (reference electrode and display electrodes) disposed so as to interpose a liquid crystal layer therebetween as in a conventional method. According to the present invention, a voltage is applied to at least two kinds of electrodes disposed on a substrate on which switching elements are provided, whereby a voltage containing a component in a direction parallel to a panel flat surface is applied to liquid crystal display elements in regions where the electrodes are disposed. FIG. 6 is a diagram illustrating the present invention, corresponding to the conventional example shown in FIG. 5. In the conventional example, the display electrodes A connected to the switching elements S are present on the

same substrate 2 as that of the switching elements, the reference electrode Z having a function of applying a voltage to the liquid crystal display elements LC together with the display electrodes are formed on the other substrate 2, and a voltage is applied to the liquid crystal display elements LC in a direction vertical to a panel flat surface, as represented by a broken line in the figure. According to the present invention in FIG. 6, electrodes Z* having a function of the reference electrode are also formed on the same substrate as that of the switching elements, and a voltage applied across the display electrodes A and the electrodes Z* contains a component parallel to the panel flat surface, as represented by a broken line in the figure. The electrodes Z* may function as the reference electrode Z, or the row electrodes Y or column electrodes X may also function as the reference electrode (described later). In this manner, according to the present invention, it is not required to provide an electrode on the substrate 1, and parasitic capacitance C_{XZ} and C_{YZ} can be substantially reduced, which is a problem in the conventional switching element built-in method, whereby problems regarding power consumption and a switching speed can be solved. The present invention is also advantageous in terms of production of a display panel, in that electrical connection and alignment between upper and lower substrates are not required. Hereinafter, the present invention will be described by way of examples.

FIG. 7 is a diagram illustrating a device arrangement in one unit element according to one example of the present invention. This corresponds to the conventional example in FIG. 4. In the conventional example, the display electrode A_{ij} is formed over the entire surface of the liquid crystal display element. In the present example, as shown in the figure, a display electrode is patterned into a comb shape. On the other hand, in the conventional example, the reference electrode Z is formed on the other substrate, whereas according to the present invention, the reference electrodes Z are formed on the same substrate as that of the display electrode A_{ij} and patterned into a comb shape interlocked with the display electrode A_{ij} . A voltage can be effectively applied to a liquid crystal display element by patterning the display electrode into a comb shape as in the present example. FIG. 8 is a block diagram of a display apparatus using the display panel of the present example. The difference between the display apparatus in FIG. 8 and the conventional example in FIG. 3 lies in that the reference electrodes Z are formed on the substrate 2. In the arrangement of the present example, the parasitic capacitance C_{XZ} and C_{YZ} can be substantially decreased, whereby power

consumption and a switching element can be substantially enhanced.

FIG. 9 shows a variation of the example in FIG. 7, in which display elements are disposed on both sides of the reference electrode Z. In the present example, an electrode pattern is simplified.

In the examples shown in FIGS. 7 and 9, the reference electrodes Z are disposed so as to be parallel to the column electrodes X; however, in the examples shown in FIGS. 10 and 11, the reference electrodes Z are disposed so as to be parallel to the row electrodes Y. In the example in FIG. 7, the column electrodes X are adjacent to the reference electrodes Z; therefore, although much smaller than that in the conventional example, there is some C_{XZ} , and C_{YX} is very small. On the other hand, in the example in FIG. 10, there is some C_{YZ} , and C_{XZ} is very small. Since the number of switching is much smaller in a scanning signal than in a display signal, it is more advantageous that C_{YX} is small. The arrangement in FIG. 10 is excellent.

FIG. 11 shows a variation of the example in FIG. 10, characterized in that display elements are disposed on both sides of the reference electrode Z. In the present example, an electrode pattern is simplified.

In the examples in FIGS. 7 to 11, the reference electrodes Z are used. According to the present invention, the row electrodes Y or the column electrodes X are allowed to have a function of the reference electrode, without using the reference electrodes Z. FIG. 12 shows an example, in which a voltage applied to a liquid crystal display element is supplied by the display electrode A_j , and a next adjacent row electrode Y_{j+1} . It is assumed that a selection potential of a scanning signal applied to the row electrode is V_{on} , and a non-selection potential is V_{off} . If a potential $V_{off}+V$ is supplied to a column electrode as a display signal while the row electrode Y_j is selected and the switching element S_{ij} is conducting, the potential of the display electrode also becomes $V_{off}+V$. At this time, the row electrode Y_{j+1} is not selected, and a potential V_{off} is applied thereto. Therefore, a voltage $(V_{off}+V)-V_{off}=V$ is applied to capacitance C_k of the liquid crystal display element LC, and charge $C_k V = Q_k$ is accumulated in the display electrode A_j . Then, when the row electrode Y_{j+1} is selected, and V_{on} is applied to Y_{j+1} , the switching element S_{ij} is brought out of conduction. Therefore, Q_k is not varied, the potential of A_j becomes $V_{off}+V$, and the voltage V between A_j and Y_{j+1} is held. When neither Y_j nor Y_{j+1} is selected, Y_{j+1} has a potential V_{off} , A_j has a potential $V_{off}+V$, and the voltage V is held. As described above, if the characteristics of the switching elements are satisfactory even in the case

of a voltage of about V_{m+V} , the row electrodes Y are allowed to have a function of the conventional reference electrode Z as in the present example. In the present example, an arrangement of electrodes is very simplified, and a use efficiency of a display area is high. Furthermore, the present example is excellent in productivity, power consumption, and structures of driving circuits.

In FIG. 12, the adjacent row electrode Y_{j+1} is allowed to have a function of the reference electrode. However, Y_j may have the function.

FIG. 13 shows an example in which the column electrode X_{i+1} is allowed to have a function of the reference electrode. In this case, a differential voltage of a display signal applied to X_i and X_{i+1} by a scanning signal is applied to a liquid crystal display element LC, and held therein. In the present example, although the processing of a display signal becomes slightly complicated, the structure on a display panel is simplified.

A block diagram of a display apparatus using a display panel adopting a method for applying a voltage to a liquid crystal display element by the row and column electrodes Y and X and the display electrodes A as shown in FIGS. 12 and 13 corresponds to FIG. 8 excluding the reference electrode Z and its driving portion.

The display electrodes A and the electrodes Z* (reference electrode Z, row electrode Y, column electrode X) functioning as the reference electrode in each example described with reference to FIGS. 7 to 13 may be nontransparent electrodes made of metal or the like, or transparent electrodes made of In_2O_3 ; Sn, SnO_2 or the like. An interlocked portion of the comb-shaped electrodes corresponds to a display portion, so that at least this portion is preferably made of a transparent electrode. However, if an electrode width is sufficiently made small by using a fine etching technique, a metal electrode can also be used. In this portion, slight disconnection is allowed if it is not conspicuous, so that a fine pattern of about $1 \mu\text{m}$ can be used. A process of forming a comb-shaped electrode may be conducted in the same step as that of the other electrodes (interconnection of the row electrodes Y, the column electrodes X, the reference electrode Z, the display electrodes A, and the like), or may be conducted separately. Each electrode may be connected by utilizing a through-hole or the like.

A display operation mode of liquid crystal used in the present invention may be a voltage-effect twisted nematic (TN) mode, a guest-host (GH) mode, an electric field control birefringence (ECB) mode, or the like. The operation mode may also be a current-effect dynamic scattering (DS) mode or the like. In

any mode, display can be conducted by applying a voltage parallel to a panel flat surface with a comb-shaped electrode or the like.

More specifically, when the surface of a panel substrate, on which comb-shaped electrodes are provided, is subjected to alignment treatment in a direction parallel to the comb-shaped electrodes, and nematic liquid crystal exhibiting positive dielectric anisotropy is brought into contact with the substrate surface, liquid crystal molecules are aligned in a direction parallel to the comb-shaped electrodes. When a voltage is applied between the comb-shaped electrodes interlocked with each other, liquid crystal molecules are aligned in an electric field direction by an electric field orthogonal to the comb-shaped electrodes. Thus, liquid crystal molecules can be rotated by 90° in the surface of the panel substrate.

Thus, a nematic liquid crystal layer is converted from homogeneous alignment to 90° twisted alignment, and vice versa.

When such a liquid crystal panel is disposed between a pair of polarizing plates, a TN mode display panel can be obtained. When a dichromatic dye is added to a liquid crystal layer, and the resultant liquid crystal panel is combined with a polarizing plate, a GH mode display panel is obtained.

Furthermore, the surfaces of a pair of panel substrates are subjected to homeotropic alignment treatment to form a liquid crystal layer in homeotropic alignment in the absence of a voltage, and a voltage is applied thereto via comb-shaped electrodes, liquid crystal molecules in the vicinity of the electrodes are aligned in parallel to the surface of the panel substrate, and the thickness of the liquid crystal layer aligned in a parallel direction is varied by the size of a voltage. Thus, the degree of birefringence can be controlled with a voltage, and if combined with a polarizing plate, an ECB mode display panel can be obtained.

Furthermore, if ionic material is added to a liquid crystal layer, and a voltage is applied thereto, it is apparent that the resultant device can be used in a current-effect dynamic scattering (DS) mode.

In the examples, a transistor is used as a switching element; however, another switching element such as a diode and a varistor may be used. Furthermore, a switching element may be a thin film element or a bulk element.

As described above, according to the present invention, a display panel of a switching element built-in type can be realized, in which parasitic capacitance can be substantially reduced, power consumption,

a switching speed, and the like are improved, and productivity is excellent. The present invention is particularly effective as a display panel for an electronic clock or the like, which has a high display density and requires low power consumption.

Brief Description of the Drawings

FIG. 1 is a diagram illustrating a liquid crystal display panel of a conventional switching element built-in type; FIG. 2 is an equivalent circuit diagram of a display panel; FIG. 3 is a block diagram of a display apparatus including a display panel; FIG. 4 is a diagram illustrating a device arrangement in one unit element on a display panel; FIGS. 5 and 6 are cross-sectional views of display panels, illustrating the conventional example and the present invention; FIGS. 7, 9-13 are diagrams illustrating a device arrangement in one unit element on a display panel in each example of the present invention; FIG. 8 is a block diagram of a display apparatus using a display panel of the present invention.

1, 2...panel substrate, 3...liquid crystal layer, 6...row electrode driving circuit, 7...column electrode driving circuit, X, X_1-X_n ...column electrode, Y, Y_1-Y_m ...row electrode, S, S_i ...switching element, A_i , A_{ij} ...display electrode, L, L_{ij} ...liquid crystal display element, Z...reference electrode.

⑫ 特許公報 (B2)

昭63-21907

⑬ Int. Cl.

G 09 F 9/30
G 02 F 1/133

識別記号

339
323

府内整理番号

6866-5C
7370-2H

⑭ 公告 昭和63年(1988)5月10日

発明の数 1 (全8頁)

⑮ 発明の名称 液晶表示パネル

⑯ 特願 昭54-167542

⑯ 公開 昭56-91277

⑯ 出願 昭54(1979)12月25日

⑯ 昭56(1981)7月24日

⑰ 発明者 富樫 清吾 埼玉県所沢市大字下富字武野840 シチズン時計株式会社

技術研究所内

⑱ 出願人 シチズン時計株式会社 東京都新宿区西新宿2丁目1番1号

⑲ 代理人 弁理士 金山 敏彦

審査官 湯原 忠男

I

2

⑳ 特許請求の範囲

1 パネル基板の表面に配設され互いに直交する多数の行電極および列電極と、これらの行電極および列電極の各交点に対応してマトリックス状に配設されたスイッチング素子と、このスイッチング素子を介して駆動電圧が印加される表示用電極と、一対のパネル基板の間に挟持され前記表示用電極と基準電極との間に印加される電圧により駆動される液晶表示要素とを有するスイッチング素子内蔵型の液晶表示パネルにおいて、前記表示用電極と基準電極とは相互に咬合するくし歯状電極としていずれも前記一対のパネル基板の一方の基板表面に配設されており、前記液晶表示要素は前記パネル基板の表面に平行な成分を有する電界により駆動されることを特徴とする液晶表示パネル。

2 行電極および列電極の一方が、基準電極を兼ねることを特徴とする特許請求の範囲第1項に記載の液晶表示パネル。

㉚ 発明の詳細な説明

本発明はスイッチング素子をパネル上に設けたスイッチング素子内蔵型の液晶表示パネルの改良にかかり、詳しくは液晶への電圧印加法を工夫する事により消費電力、スイッチング速度や製造性を大幅に改善するものである。

液晶表示パネルは低電力、低電圧という他の表示装置にない特徴を有し、電卓、時計等の携帯機器を中心に広く用いられている。しかし表示特性

は電圧に対し鋭い閾値特性を持たない為、高分割のマルチプレックス駆動には適さない。そこで高分割のマルチプレックス駆動を可能とする為にスイッチング素子を各表示要素毎に配置する方式(スイッチング素子内蔵方式)が提案されている(参照、B.J.Lechner et al, Proc.IEEE vol. 59, Nov.1971.P.1566~1579)。スイッチング素子内蔵方式は、いかなる高分割のマルチプレックス駆動でもクロストークが原理的には存在しない優れた方式である。

しかし現実的には幾つかの問題点が存在し、本来の優れた特性を生かして実用化されるに至っていない。従来のスイッチング素子内蔵方式の液晶表示パネルの問題点としては、消費電力、相互配線、及び製造性等が挙げられる。本発明は液晶に対する電圧印加方向を、従来のパネル平面に垂直方向から平行方向の成分を含む方向とする事により、有害な寄生容量を低減し、従来の問題点を改善したものである。

㉛ 本発明の説明に先立ち、従来のスイッチング素子内蔵方式の液晶表示パネルについて述べる。第1図は表示パネルの説明図である。1, 2は基板であり、3は液晶層である。第1の基板1には基準電極乙が、第2の基板2には行電極、列電極及びスイッチング素子、表示用電極等を含む層5がそれぞれ形成されている。第2図は表示部の等価回路である。X(X₁~X_n)は列電極、Y(Y₁~Y_m)は行電極であり、該行電極及び列電極の交

点に対応する領域にスイッチング素子 S が配置され、液晶表示要素 LC はスイッチング素子 S と表示用電極 A により接続され、他の一端は基準電極 Z に接続される。

第 4 図は行電極 Yj と列電極 Xj の交点に対応する一単位要素に於ける一方の基板 2 上の各素子の配置例である。行電極 Yj, Y_{j+1} と列電極 X_i, X_{i+1} により囲まれた領域が一単位要素に対応しスイッチング素子 S_{ij} は行電極 Yj、列電極 X_i と表示用電極 A_{ij} に接続される。もう一方の基板上には基準電極 Z が全面に形成されており、表示用電極 A_{ij} と基準電極 Z との間に挟まれる第 4 図斜線部に対応した液晶層が液晶表示要素 LC_{ij} を構成する。

第 3 図は表示パネルを含む表示装置全体のプロック図であり、6 は行電極 Y₁～Y_m に線順次式の走査信号を供給する行電極駆動回路、7 は表示情報処理回路 8 より入力される表示情報に基づいて列電極 X₁～X_n に表示信号を印加する列電極駆動回路、9 は各回路に様々なクロック信号を、供給するクロック回路である。行電極 Y₁～Y_m は走査信号により順次選択され、選択された行電極に接続されたスイッチング素子が導通してその時の表示信号が表示用電極 A を介して液晶表示要素に書き込まれ、他の行の選択期間中はスイッチング素子が非導通となり書き込まれた電圧を保持する。この様にスイッチング素子内蔵方式ではクロストークが全く起らない表示が可能である。

以上の様な従来例に於ける最大の欠点の 1 つは従来の表示パネル構造に起因する寄生容量である。

第 5 図は従来の表示パネルの断面図である。従来例では、一方の基板 1 上に基準電極 Z が形成され表示用電極 A とで挟まれた領域の液晶表示要素 LC に電圧を印加している。問題はスイッチング素子 S に接続され、それぞれ走査信号及び表示信号を供給する行電極 Y 及び列電極 X も必然的に基準電極 Z と対向してしまう点にあり、それぞれ寄生容量 Cyz, Cxz を生じてしまう。スイッチング素子を用いない液晶表示パネルでは液晶表示要素の領域以外では両基板上の電極は対向しない様にする事が可能であつたが、スイッチング素子内蔵方式では行電極及び列電極が一方の基板上に基盤の目状に配置され他の基板上には基準電極が全面

に形成されている為、C_{xz}, C_{yz} の様な寄生容量は避け得なかつた。

C_{xz}, C_{yz} の様な寄生容量は消費電力に大きな影響を及ぼす。表示パネル上の消費電力としては、まず液晶表示要素を駆動する為のエネルギーが必要である。電界効果型の液晶表示を例に取ると各表示要素 LC は電気的には容量 C_{lc} と近似される。よって C_{lc} を充放電する為のエネルギーが表示の為に必要な消費電力 W_{disp} に対応する。しかし、従来の表示パネルを駆動する為の消費電力は W_{disp} の数十～数百倍にも昇つている。この原因が寄生容量 C_{xz}, C_{yz} である。今、行電極及び列電極の巾を w、数をそれぞれ n、表示部の面積を W × W 液晶層厚 d、液晶の誘電率 ε とする。各液晶表示要素の容量 C_{lc} は $\epsilon \cdot (\frac{W}{n} - w)^2 / d$ 程度となる。又各列電極及び行電極一本当たりの寄生容量 C_{xz}, C_{yz} は $\epsilon \cdot W \cdot w / d$ 程度となる。C_{lc} を充放電する為には列電極の寄生容量 C_{xz} も充放電しなくてはならない。C_{xz} / C_{lc} ≈ W · w / $(\frac{W}{n} - w)^2$ は例えば W ≈ 50mm, n ≈ 500, w ≈ 20μm とすると 156 度、電極巾 w を 10μm としても 62 度となり、この程度の寸法でも C_{xz} により消費される電力は C_{lc} により消費される電力の 156 倍又は 62 倍となる。行電極 Y₁～Y_m の寄生容量 C_{yz} による効果は、行電極に印加される走査信号のスイッチング回数が少ない為充放電回数も小さく、C_{xz} 程は大きくない。しかし行電極 Y₁～Y_m はスイッチング素子のゲートに接続され、スイッチング素子が CdSe や a-Si を用いた薄膜素子の場合では、ゲート電圧 V_g は表示信号電圧よりかなり大きいから、消費電力 $\propto C_{xz} V^2 g$ の効果も無視出来ない。以上の如く寄生容量 C_{xz}, C_{yz} の為に消費される電力は真に表示に必要な電力の数十～数百倍となる。

寄生容量 C_{xz}, C_{yz} 等は周辺回路が必要とする応答速度にも大きな影響を及ぼす。スイッチング素子を介して容量 C を充放電する場合、充放電時間 T はスイッチング素子のオン抵抗 R_{on} と C の積の逆数 $(R_{on} \cdot C)^{-1}$ 程度必要である。前述の如く C_{xz} / C_{lc} ≈ 100 であつたから寄生容量 C_{xz} の存在しない場合と比べ、同じ充放電時間で駆動するには R_{on} が 1/100 程度でなくてはならない。もし周

辺回路をLSIで構成する場合、Ronを1/100にする為には面積が100倍程度大きなトランジスタが必要であり、回路面積或いは消費電力の点から言つても問題がある。

一方、スイッチング素子内蔵方式では、行電極及び列電極の数は数百本の事が多く、この様な場合表示パネルと周辺回路との相互接続の困難さを防ぐ為に周辺回路部の一部を表示パネルに形成して相互配線の数を減少させる事がある。この様な周辺回路では複数の列電極に供給する表示信号を一本の相互配線で入力しシリアル・パラレル変換により各列電極分配する方法がとられ相互配線を $1/a$ に減らすには $1/a$ 短い時間に応答する回路が必要となる。 $W=50\text{mm}$ 、 $n=500$ 、 $w=20\text{mm}$ 、 $\epsilon=10\epsilon_0$ 、 $d=10\mu\text{m}$ 、フレイム周波数50Hz、 $a=10$ とすると、 $C_{lc} \approx 0.05\text{pF}$ 、 $C_{xz} \approx C_{yz} \approx 8\text{pF}$ 、必要なスイッチング時間は約4 msecとなり、寄生容量 C_{xz} がない場合でも $Ron < 8 \times 10^7 \Omega$ 、寄生容量がある為 $Ron < 5 \times 10^8 \Omega$ が必要であり、製造上のバラツキを考えれば更に余裕を見なければならない。表示パネル上のスイッチング素子としてCdSe、a-Si、Poly-Si等の薄膜素子を用いる場合、薄膜半導体のキャリア移動度が低い為 Ron を小さくする事は極めて難しく Ron が $10^9 \Omega$ 程度のものなら何とかなるが $10^8 \Omega$ は難しい。この様に寄生容量が存在する為に、周辺回路を表示パネル上に形成する事が極めて困難となつてゐる。

本発明は、従来方式の様に液晶層を挟んで配置される電極（基準電極と表示用電極）を通じて液晶表示要素にパネル平面に垂直な電圧を印加するのではなく、スイッチング素子が構成してある方の基板上に共に配置された少なくとも2種の電極に電圧を印加する事により、該電極の配置された領域の液晶表示要素にパネル平面に平行方向の、成分を含む電圧を印加するものである。第6図は従来例の第5図に対応する本発明の説明図である。従来例ではスイッチング素子Sと接続した表示用電極Aはスイッチング素子と同一基板2上にあつたが、表示用電極と共に液晶表示要素LCに電圧を印加する役割を持つ基準電極Zはもう一方の基板2上にあり、液晶表示要素LCに印加される電圧は図中破線の如くパネル平面に垂直であつた。第8図の本発明では基準用電極の役割を果た

す電極Z*もスイッチング素子と同一の基板上に形成され、表示用電極Aと電極Z*との間に印加される電圧は図中破線の如くパネル平面に平行な成分を有する様になる。尚、電極Z*は基準電極乙の事もあるが、行電極Yや列電極Xが役割を兼用する事もある（後述）この様に、本発明では基板1には電極を設ける必要がなく、従来のスイッチング素子内蔵方式で問題となつた寄生容量 C_{xz} 、 C_{yz} を大巾に低減可能で消費電力、スイッチング速度等の問題が非常に改善される。本発明は又表示パネル製造の上でも上下基板間の電気的接続や位置合せが不要な点から有利である。以下実施例に基づき説明する。

第7図は本発明の一実施例に於ける一単位要素15の素子配置の説明図であり、従来例では第4図に対応する。従来例では表示用電極Aijは液晶表示要素部全面に形成されていた。本実施例では図の様にくし歯状にバタン化されている。一方従来例では、もう一方の基板に形成されていた基準電極20Zは、本発明では表示用電極Aijと同一基板上に形成されしかも本例ではAijと組み合つたくし歯状にバタン化されている。本例の様にくし歯状にバタン化する事により電圧を効果的に液晶表示要素に印加する事が可能である。第8図は本例の表示パネルを用いた表示装置のブロック図である。第3図の従来例との相異は基準電極乙が基板2上に形成されている点にある。本例の配置では寄生容量 C_{xz} 、 C_{yz} が極めて小さく消費電力、スイッチング速度が大巾に改善される。

第9図は第7図の実施例の変形であり基準電極Zの両側に表示要素を配置している点に特徴がある。本例では電極バタンが簡略化される。

第7、8図の実施例では基準電極Zを列電極Xに平行に配置したが、第10、11図の実施例では行電極Yに平行に配置している。第7図の例では列電極Xと基準用電極Zが隣接するから従来例よりは大巾に少ないが、ある程度の C_{xz} が存在し、 C_{yz} は少ない。一方第10図の例では逆に C_{yz} が存在し、 C_{xz} は少ない。スイッチング回数40は走査信号の方が表示信号よりも大巾に少ないとから、 C_{xz} が少ないと有利である。第10図の配置が優れている。

第11図は第10図の実施例の変形であり基準電極Zの両側に表示要素を配置している点に特徴

がある。本例では電極パタンが簡略化される。

第7~11図の実施例では基準用電極Zを用いたが、本発明では基準電極Zを用いず、行電極Y又は列電極Xに基準電極の役割を兼用させる事が可能である。第12図はその一例であり、液晶表示要素に印加される電圧は表示用電極Aijと一本隣りの行電極Y_{j+1}とにより供給されている。行電極に印加される走査信号の選択電位をVon、非選択電位をVoffとする。行電極Yjが選択されスイッチング素子Sijが導通している時に、表示信号としてVoff+Vの電位を列電極に供給すれば、表示用電極の電位もVoff+Vとなる。この時行電極Y_{j+1}は非選択であり電位Voffが印加されているから、液晶表示要素LCの容量Clcには(Voff+V)-Voff=Vの電圧が印加され、Clc·V=Qlcの電荷が表示用電極Aijに蓄積される。次に行電極Y_{j+1}が選択されY_{j+1}にVonが印加される時、スイッチング素子Sijは非導通であるからQlcは不変であり、Aijの電位は、Von+VとなりAijとY_{j+1}の間の電圧Vは保持される。YjもY_{j+1}も非選択の期間ではY_{j+1}はVoffの電位、AijはVoff+Vの電位をとり、電圧Vは保持される。以上の如くスイッチング素子の特性がVon+V程度の電圧でも良好であれば、本例の如く行電極Yに従来の基準電極Zの役割を兼ねさせる事が可能である。本例では電極配置が極めて簡素化され表示面積の利用効率が高く製造性や消費電力、駆動回路構成の点でも優れている。

尚、第12図では隣の行電極Y_{j+1}に基準電極の役割を兼ねさせたが、Yjにその役割を持たしてもよい。

第13図は列電極X_{j+1}に基準電極の役割を兼ねさせた一例である。この場合には走査信号によってXiとX_{j+1}に印加された表示信号の差電圧が液晶表示要素LCijに印加、保持される。本例では表示信号の処理がやや煩雑となるが表示パネル上の構成は簡略化される。

第12、13図の如く行列電極Y、Xと表示用電極Aにより液晶表示要素に電圧を印加する方式の表示パネルを用いた表示装置のプロック図は第9図で基準電極Z及びその駆動部を除いたものに対応する。

以上の第7~13図で説明した各実施例に於いて表示用電極A及び基準電極の役割をする電極

Z*(基準電極Z、行電極Y、列電極X)は金属等の不透明電極でも、In₂O₃:Sn、SnO₂等の透明電極でも良い。くし歯が組み合つた部分が表示部に対応するから、少なくともこの部分は透明電極の

5 方が好ましいが、金属膜の微細エッティング技術を用いて電極巾を十分、小さくすれば金属電極でも十分である。この部分は若干の断線は目立たなければ許容されるから電極巾が1μm程度の微細パタンも可能である。くし歯状電極形成プロセスは他の電極(行電極Y、列電極X、基準電極Zや表示用電極Aの配線部等)と同一工程で作つても良いし、別工程で作つてもよい。各電極の接続はスルーホール等を利用してても良い。

本発明に用いる液晶表示の動作モードは電圧効果型のツイステッド・ネマチック(TN)モード、ゲスト・ホスト(GH)モード、電界制御複屈折(ECB)モード等でもよく又、電流効果型の動的散乱(DS)モード等でも良い。いずれのモードでもくし歯状電極等によるパネル平面に平行な電圧によつて表示を行ふ事が可能である。

すなわち、くし歯状電極を配設したパネル基板表面に、くし歯と平行な方向に配向処理を施し、正の誘電異方性をしめすネマチック液晶を接触させると、液晶分子はくし歯と平行な方向に配向するが、互いに咬合するくし歯電極の間に電圧を印加すると、くし歯と直交する電界により液晶分子は電界の方向に向きを変える。このようにして、パネル基板の表面内で液晶分子を90°回転することができる。

30 したがつてホモジニアス配向のネマチック液晶層を90°ツイスト配向に転換することが可能となり、またその逆も可能である。

35 このような液晶パネルを一对の偏光板の間に配置すれば、TNモードの表示パネルが得られ、液晶層中に二色性染料を添加して一枚の偏光板と組み合わせればGHモードの表示パネルとなる。

また、一对のパネル基板の表面にいずれも垂直配向処理を施して電圧無印加状態でホメオトロピック配向の液晶層を構成し、これにくし歯状電極を介して電圧を印加すると、電極の近傍の液晶分子はパネル基板の表面と平行に配列し、平行に配列する液晶層の厚さは電圧の大きさにより変えられる。したがつて複屈折の大きさを電圧により制御することが可能であり、偏光板と組合せれば

ECBモードの表示パネルが得られる。

さらに、液晶層中にイオン性物質を添加して電圧を印加すれば、電流効果型の動的散乱(DS)モードで使用できることは明らかである。

又実施例ではスイッチング素子としてトランジスタを用いて説明したがダイオードやパリスタ等他のスイッチング素子でも良い。又、スイッチング素子は薄膜素子でもパルク素子でも良い。

以上述べた如く、本発明では寄生容量を大巾に低減する事が可能であり、消費電力、スイッチング速度等が改善され製造性にも優れたスイッチング素子内蔵方式の表示パネルが実現可能となる。本発明は表示密度が高く低消費電力が必要な電子時計用の表示パネル等として特に有効である。

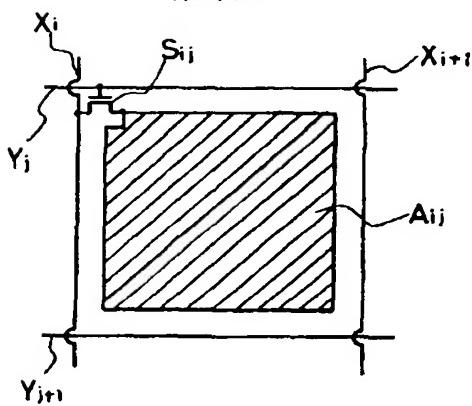
図面の簡単な説明

第1図は従来のスイッチング素子内蔵型の液晶

第1図



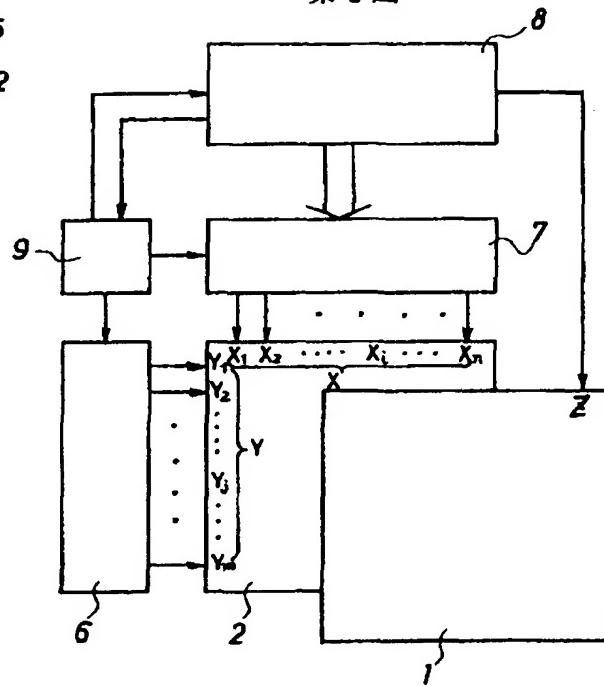
第4図



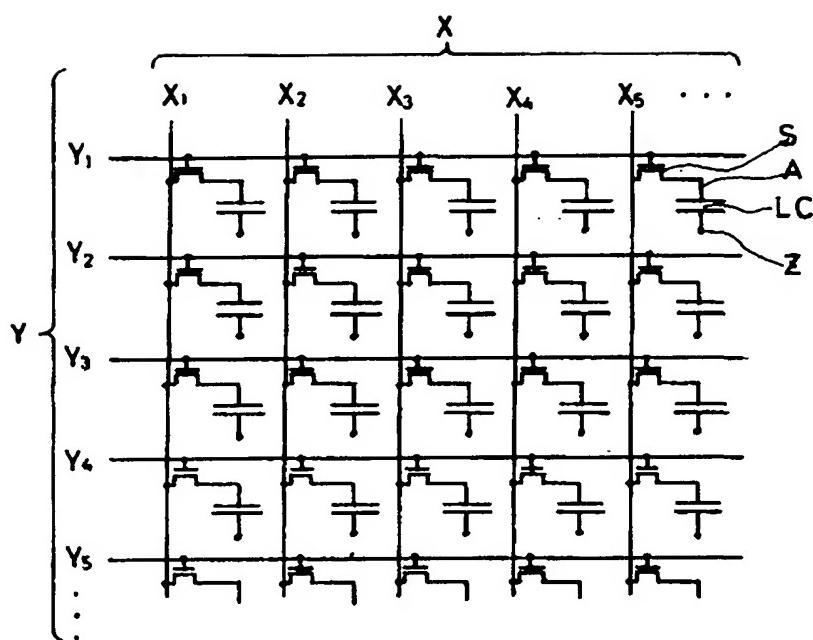
表示パネルの説明図、第2図は表示パネルの等価回路図、第3図は表示パネルを含む表示装置のプロック図、第4図は表示パネル上の一単位要素の素子配置の説明図、第5図及び第6図は従来例及び本発明の説明の為の表示パネル断面図、第7、9～13図は本発明の各実施例に於ける表示パネル上の一単位要素の素子配置の説明図、第8図は本発明の表示パネルを用いた表示装置のプロック図。

- 10 1, 2 ……パネル基板、3 ……液晶層、6 ……
行電極駆動回路、7 ……列電極駆動回路、X,
X₁～X_i～X_n ……列電極、Y, Y₁～Y_j～Y_m ……
行電極、S, S_{ij} ……スイッチング素子、A, A_{ij}
……表示用電極、L, L_{ij} ……液晶表示要素、Z
15 ……基準電極。

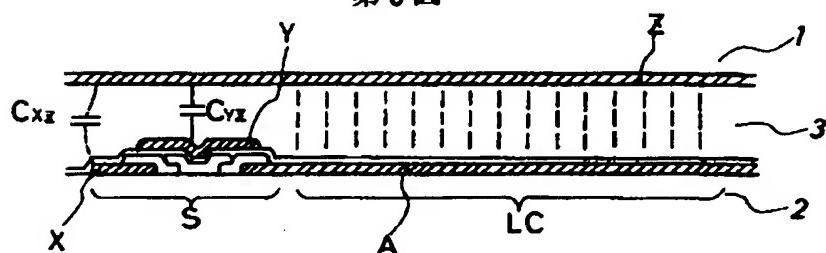
第3図



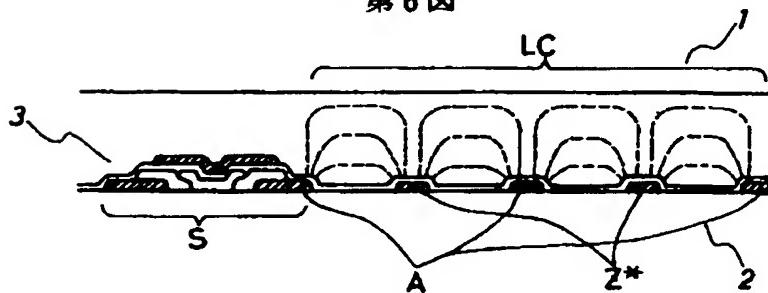
第2図



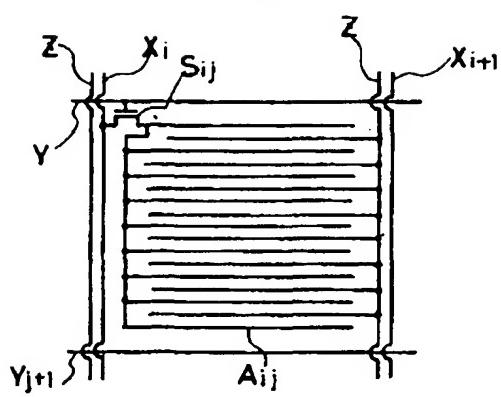
第5図



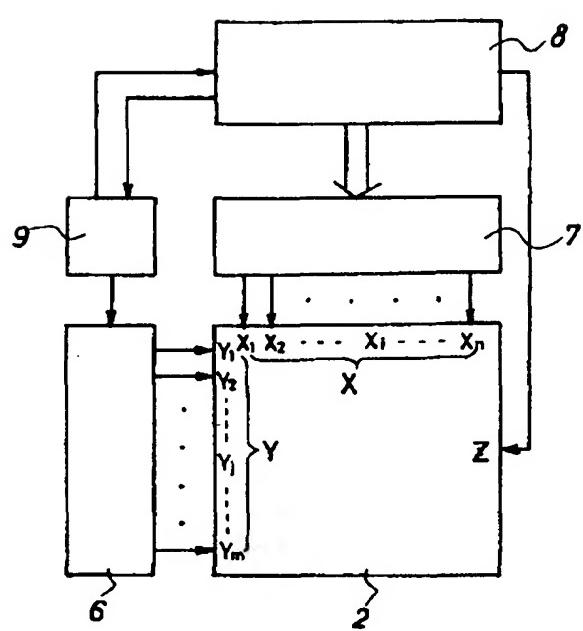
第6図



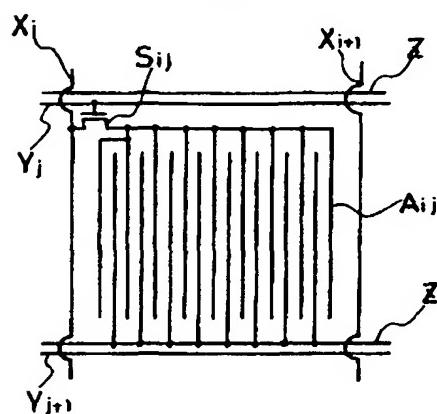
第7図



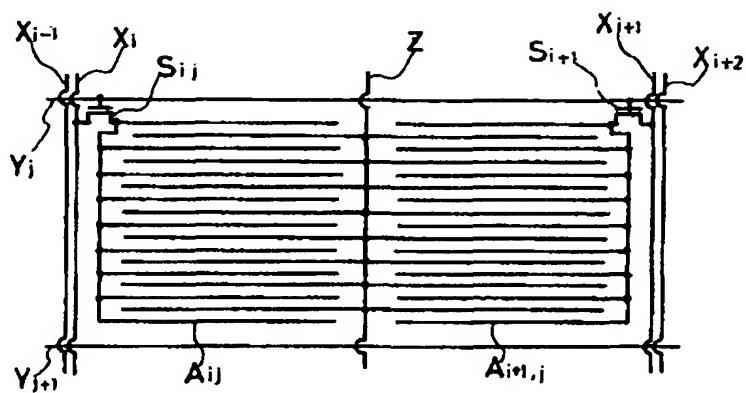
第8図



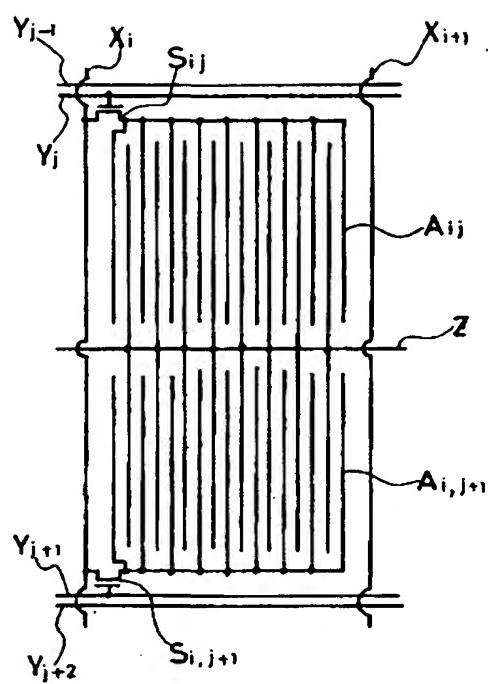
第10図



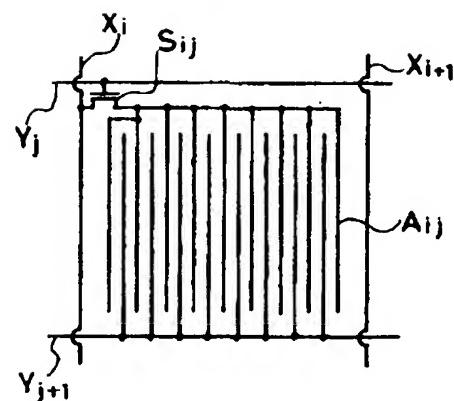
第9図



第11図



第12図



第13図

